

발송번호: 9-5-2006-051215343
발송일자: 2006.08.31
제출기일: 2006.10.31

수신 서울특별시 강남구 역삼동 648-23 여삼빌
딩 4층
권태복

135-080

특허청 의견제출통지서

출원인명 청 가부시키가이샤 아드반스트 디스프레이 (출원인코드:
519990234279)
주 소 일본국 쿠마모토켄 코우시시 미요시 997
대리인명 청 권태복 외 1명
주 소 서울특별시 강남구 역삼동 648-23 여삼빌딩 4층
출원번호 10-2001-0019501
발명의명 청 표시장치 및 표시장치의 제조방법



이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법 시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

1. 이 출원은 특허청구범위 제5,6항의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제5항 및 동법시행령 제5조제5항의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

○ 특허청구범위 제5,6항은 인용되는 청구항을 독일적으로 기재하여야 합니다.

2. 이 출원의 특허청구범위 제1-13항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것 이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

○ 본원의 제1-13항에 기재된 발명은 박막 트랜지스터가 소스 전극 양쪽에 2개의 드레인 전극 배선을 가지는 것을 특징으로 하는 표시장치에 관한 것이고, 한국공개특허 1999-79893호 (1999.11.5, 이하 인용발명이라 함)는 행렬 형태로 형성되어 있는 다수의 화소를 구동하는 박막 트랜지스터에 관한 것입니다.

본원과 인용발명을 비교해 보면,

목적,효과에 있어서, 본원은 양호한 표시품질이고, 인용발명은 스티치 불량을 줄여들어 표시품질의 향상인바, 상호 유사합니다.

구성에 있어서, 본원의 “게이트 전극, 소스 전극, 드레인 전극, 화소 전극”은 인용발명의 “게이트 전극, 드레인전극, 소스전극, 화소전극”에 각각 대응됩니다. 다만, 드레인/소스 전극을 표현하는 명칭에서 다소 차이가 있으나, 명칭은 비록 다르다 할지라도 작동 및 연결관계가 동일합니다. 그리고, 박막트랜지스터를 제조하는 공정 순서에 관한 사항(게이트배선, 절연막, 반도체막, 도전막의 퇴적 등)은 당해 분야에 늘리 쓰이는 제조방법입니다.

따라서, 통상의 지식을 가진자가 인용발명으로부터 용이하게 발명할 수 있습니다.

[첨 부]

정부1 공개특허 제1999-79893호(1999.11.05) 1부. 끝.

«« 안내 »»

명세서 또는 도면 등의 보정서를 전자문서로 제출할 경우 매건 3,000원, 서면으로 제출할 경우 매건 13,000원의 보정료를 납부하여야 합니다.

보정료는 접수번호를 부여받아 이를 납부자번호로 "특허법 실용신안법 디자인보호법 및 상표법에 의한 특허료 등록료와 수수료의 징수규칙" 별지 제1호서식에 기재하여, 접수번호를 부여받은 날의 다음 날까지 납부하여야 합니다. 다만, 납부일이 공휴일(토요휴무일을 포함한다)에 해당하는 경우에는 그날 이후의 첫 번째 근무일까지 납부하여야 합니다.

보정료는 국고수납은행(대부분의 시중은행)에 납부하거나, 인터넷치로(www.giro.or.kr)로 납부할 수 있습니다. 다만, 보정서를 우편으로 제출하는 경우에는 보정료에 상응하는 통상환을 동봉하여 제출하시면 특허청에서 납부해드립니다.

기타 문의사항이 있으시면 042) 481-8200로 문의하시기 바랍니다. 또한 서식 또는 절차에 대하여는
특히 고객 쿨센터(1544-8080)로 문의하시기 바랍니다.

English Translation-in-part of
Korean Patent Publication No. 0079893/1999

[Title of the Device]

Thin film transistor

[Abstract]

In a thin film transistor structure according to the present invention, a gate electrode and a source electrode are respectively superimposed on both sides of a drain electrode which is placed at the center such that the dimension in which the gate electrode and source electrode are superimposed is constant at any time even if the structure is misaligned in upper and lower directions or left and right directions from a central gate line. Therefore, sacrificial capacity generated from the superimposed portions is constant at any given time. Furthermore, since the sacrificial capacity generated due to the superposition of the gate electrode and source electrode is constant at any given time, deviation of kickback voltage can be minimized.

[Best Mode for Carrying Out the Invention]

Figs. 2 to 5 are diagrams showing arrangements by which the dimension of the superposition of the source electrode 220 and gate electrode 110 is constant even if those electrodes are misaligned.

As shown in Figs. 2 to 5, the source electrode 220 is formed around the gate electrode 110, and both ends of the source electrode 220 are superimposed over both ends of the gate electrode 110. The drain electrode 210 is formed at the central upper position of the gate

electrode 110.

In the thin film transistor structure according to the example of the present invention, active channels are formed on both sides of the drain electrode 210 located at the center.

According to the thin film transistor structure of the example of the present invention, the source electrode 220 of the thin film transistor (TFT) is symmetrically formed at both sides of the drain electrode 210. Therefore even if misalignment in upper and lower directions or left and right directions is occurred during manufacturing process of the substrate, the sum of the total dimension in which the gate electrode 110 and source electrode 220 are superimposed is constant in all pixel at any given time since the sum of the superimposition of the gate electrode 110 and respective source electrode 220 is constant at any time.

At this time, each of unit pixels has a structure in which two sacrificial capacities (Caa) are formed and connected in series on both sides of the gate electrode 100. By this arrangement, the size of sacrificial capacities (Caa) is increased. However, since this may incur a problem of such as afterimage, it is desirable to reduce the width or length of the source electrode 220.

However, in the case of reducing the width of the source electrode 220, the width of a channel formed between the drain electrode 210 and source electrode 220 is also decreased. Therefore, the design of the portion in which the gate electrode 110 and drain electrode 210 is superimposed is formed in an I- or T-shaped in order to conform this.

특 1999-0079893

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.°

H01L 21/12

H01L 29/106

(11) 공개번호 특 1999-0079893

(43) 공개일자 1999년 11월 05일

(21) 출원번호 10-1998-0012760
(22) 출원일자 1998년 04월 10일(71) 출원인 삼성전자 주식회사 윤종용
경기도 수원시 팔달구 매단3동 416(72) 발명자 황인선
경기도 화성군 비안읍 병점리 356-1 경수빌라 1-102
(74) 대리인 김원호, 김원근

설명구 : 없음

(54) 박막 트랜지스터

요약

본 발명에 따른 박막 트랜지스터 구조는 드레인 전극을 중심으로 양쪽에 게이트 전극과 소스 전극이 각각 중점되어 있다. 따라서 게이트선을 중심으로 상하 또는 좌우 방향으로 오정렬이 되더라도 게이트 전극과 소스 전극이 중점되는 면적은 항상 일정하므로 이 부분에서 발생하는 기생 용량은 항상 일정하다. 그러므로 게이트 전극과 소스 전극의 충돌으로 인하여 발생하는 기생 용량은 항상 일정하기 때문에 핵심 전입의 편차를 최소화할 수 있다.

도면도

도 1

도 2

도 3

도 4

도 1은 종래의 기술에 따른 박막 트랜지스터의 구조를 개략적으로 도시한 평면도이고,

도 2, 도 3 및 도 4는 본 발명의 실시예에 따른 박막 트랜지스터의 구조를 개략적으로 도시한 평면도이다.

도 1의 구조와 설명

도 1의 구조

본 발명에 속하는 기초도와 그 조작의 경과기술은 박막 트랜지스터에 관한 것으로서, 더욱 상세하게는, 행렬 형태로 형성되어 있는 다수의 화소를 구동하는 박막 트랜지스터에 관한 것이다.

박막 트랜지스터 양쪽 표시 절차는 행렬 형태로 배열된 다수의 화소 각각에 화소 전극 및 박막 트랜지스터가 형성되어 있는 하판과 틸터 필터 및 공통 전극이 형성되어 있는 상판으로 구성되어 있으며, 두 개의 기판 사이에는 양쪽 하판에 있다.

하판에 형성되어 있는 박막 트랜지스터는 도 1에서 보는 바와 같이, 가로 방향과 세로 방향으로 각각 형성되어 있는 게이트선(1)과 데이터선(2)이 교차하는 부분에 형성되어 있다. 이러한 박막 트랜지스터의 게이트 전극(11)은 게이트선(1)의 일부이고, 드레인 전극(21)은 데이터선(2)의 일부이며, 소스 전극(22)은 데이터선(2)과 등일한 출입로 형성되어 화소 전극(도시하지 않음)과 연결되어 있다.

평면적인 구조로 설명하면, 도 1에서 보는 바와 같이 소스 전극(22)과 드레인 전극(21)은 게이트 전극(11)을 중심으로 양쪽에 형성되어 있으며, 드레인 전극(21)과 소스 전극(22)의 일부는 게이트 전극(11)과 중첩되어 있다. 이때, 도면에는 도시되어 있지 않지만 소스/드레인 전극(22, 21)과 게이트 전극(11) 사이에는 절연막 및 반도체층이 형성되어 있으므로, 이들은 서로 절연되어 있다.

이러한 박막 트랜지스터는, 게이트선(1) 및 게이트 전극(11)에 전기적인 인가되면 박막 트랜지스터의 반도체층에 활성 채널이 형성되고, 데이터선(2) 및 드레인 전극(21)에 인가된 데이터 신호는 활성 채널을 통하여 소스 전극(22)에 전달되며, 소스 전극(22)에 전달된 데이터 신호는 화소 전극에 전달된다.

그러나, 하니의 기판을 여러 영역을 나누어 여러 번의 마스크 공정을 실시하는 제조 과정에서, 미세한 오정렬(misalignment)이 발생하는 경우에 이러한 종래의 박막 트랜지스터의 구조에서는 스트리치(stitch) 불량이

발생한다. 즉, 오정렬로 인하여 게이트 전극(11)과 소스 전극(22)이 중첩되는 면적이 여러 영역에 따라 다르게 나타나고, 이를 위하여 소스 전극(22)과 게이트 전극(11)의 중첩으로 인하여 발생하는 기상 용량(C_{ss})의 차이로 킥백(kickback) 전압의 편차가 발생하여 여러 영역에 따라 화면의 밝기가 다르게 나타난다.

발광의 어두고자 하는 기술적 고찰
본 발명은 이러한 문제점을 해결하기 위한 것으로서, 미스얼리먼트 발생하더라도 화질의 품질에 영향을 미치는 소스차 품질을 최소화하는 것이다.

화질의 구성 및 작동

이러한 본 발명에 따른 박막 트랜지스터의 구조에는 소스 전극과 게이트 전극이 중첩되는 부분이 드레인 전극을 중심으로 양쪽에 형성되어 있다.

이러한 본 발명의 박막 트랜지스터 구조에서는 소스/드레인 전극과 게이트 전극이 오정렬되더라도 양쪽의 변화만큼 다른 쪽에서 보살피기 때문에 소스 전극과 게이트 전극의 중첩되는 면적이 서로 보상되어 소스 전극과 게이트 전극이 중첩되는 층면적은 항상 일정하므로, 이를 사이에서 발생하는 기상 용량은 항상 일정하게 된다.

이러한 구조의 박막 트랜지스터에서는 신호가 인가되는 경우에 드레인 전극을 중심으로 채널이 형성된다. 그러면 충분한 도면을 참고로 하여 본 발명에 따른 박막 트랜지스터 실시예를 본 발명이 속하는 기술 분야에서 통상의 기술을 가진 자가 용이하게 살펴볼 수 있을 정도로 상세히 설명한다.

도 2, 도 3 및 도 4는 본 발명의 실시예에 따른 박막 트랜지스터의 구조를 계획적으로 도시한 도면도이다.

본 발명에 따른 예정 표시 장치를 박막 트랜지스터 기판(500)에는 다수의 게이트선(100)과 다수의 데미터 선(200)이 서로 교차하면서 침투 형태의 회소를 정의하고 있다. 각각의 회소에는 게이트선(100)과 연결되어 있는 게이트 전극(110), 데미터선(200)과 연결되어 있는 드레인 전극(210), 역정 용량(C_{ss})을 만드는 출전기의 일부, 단자와 연결되어 있는 소스 전극(220)으로 이루어진 박막 트랜지스터(TFT)가 형성되어 있다. 예파, 박막 트랜지스터(TFT)의 게이트 전극(110)과 소스 전극(220) 사이에는 기상 용량(C_{ss})이 형성된다. 그리고 각각의 회소에는 회소 전극(도시하지 않음)과 전단의 게이트선(100)을 양 단자로 하여 용량(C_{ss})을 만드는 출전기가 형성되어 있다.

이때, 박막 트랜지스터(TFT)에서 발생하는 기상 용량(C_{ss})은 통상적으로 게이트 전압(V_g)이 드레인 전압(V_d)에서 오프 전압(V_{th})으로 변화할 때, 회소 전압을 낮추는 쪽으로만 주용한다. 예파, 낮추는 정도를 킥백 전압(kickback voltage, ΔV)이라고 하며, ΔV 는 다음과 같은 식(1)으로 표현한다.

$$\Delta V = (C_{ss} * \Delta V) / (C_{ss} + C_{dd} + C_{dd}) \quad (1)$$

여기서, ΔV 는 게이트-온/오프 전압(V_{th}, V_d)의 차이다. 이와 같은 식에서 봄 수 있는 비와 같이, ΔV 는 C_{dd} 와 ΔV 에 비례하고, $C_{dd} > C_{ss}$, C_{dd} 라고 가정하면 C_{dd} 에 반비례한다. 예파, ΔV 와 C_{dd} 는 기판(500)의 전면에서 일정한 값을 가진다고 가정하면, ΔV 는 C_{ss} 의 변화에 따라 편차가 발생한다. 따라서, C_{ss} 의 값을 일정하게 할 수 있는 구조가 요구된다.

이를 위하여는 항상 소스/드레인 전극(220, 210)과 게이트 전극(110)이 오정렬되더라도 소스 전극(220)과 게이트 전극(110)이 중첩되는 면적을 일정하도록 박막 트랜지스터의 구조를 설계하면 된다.

도 2 내지 도 5에서 보는 바와 같이, 소스 전극(220)은 게이트 전극(110)의 끝에 형성되어 있으며, 소스 전극(220)의 양쪽 끝부분이 게이트 전극(110)의 양쪽 가장자리와 중첩되어 있다. 이때, 드레인 전극(210)은 게이트 전극(110)의 중앙 상부에 형성되어 있다.

이러한 본 발명의 실시예에 따른 박막 트랜지스터 구조에서는 게이트선(100)에 전압이 인가되면 드레인 전극(210)을 중심으로 양쪽에 각각 활성 채널이 형성된다. 또한, 이러한 본 발명의 실시예에 따른 박막 트랜지스터의 구조에서는 기판을 제조하는 과정 중에 오정렬이 발생하더라도 드레인 전극(210)의 양쪽에 대칭으로 박막 트랜지스터(TFT)의 소스 전극(220)이 형성되어 있기 때문에, 상하 또는 좌우로 오정렬이 발생하더라도 게이트 전극(110)과 각각의 소스 전극(220)이 중첩되는 면적을 확장하면 항상 동일하므로 모든 회소에서 게이트 전극(110)과 소스 전극(220)이 중첩하는 층면적은 항상 동일하게 된다.

이때, 각각의 단위 회소에는 기상 용량(C_{ss})이 게이트 전극(110)의 양쪽에서 각각 두 개씩 형성되어 적으로 연결된 구조를 취한다. 이로 인하여 기상 용량(C_{ss})의 크기가 증가하게 되는데, 이는 전상 등의 또 다른 문제점을 발생시킬 수 있으므로 소스 전극(220)의 쪽 또는 길미를 적게 하는 것이 바람직하다.

그러나, 소스 전극(220)의 쪽을 줄이는 경우에 드레인 전극(210)과 소스 전극(220) 사이에 형성되는 채널의 쪽이 줄어들게 되므로, 이를 확보하기 위해서는 도 3 및 도 4에서 보는 바와 같이, 게이트 전극(110)과 드레인 전극(210)이 중첩되는 부분의 모양을 T 또는 T 모양이 되도록 드레인 전극(210)을 형성할 수도 있다.

설명의 표지

따라서 본 발명에 따른 바닥 트랜지스터의 구조에서는 드레인 전극을 중심으로 양쪽에 대칭적으로 소스 전극이 게이트 전극과 각각 중첩되어 상하 또는 좌우로 오정렬이 되더라도 게이트 전극과 소스 전극이 중첩되는 부분이 서로 보상하는 구조로 형성되어 있다. 따라서, 하나의 단위 화소에서 발생하는 총 기생 용량은 하나의 기판에서 항상 일정하게 발생한다. 이에 따라, 기판 내에서 기생 용량의 변화는 발생하기 어렵게 되므로, 이로 인한 스티치 불량률 줄어들어 표시 제품의 품질이 향상된다.

(57) 청구의 브위

청구항 1

게이트 전극,

상기 게이트 전극의 중앙부에 중첩되어 있는 드레인 전극,

상기 드레인 전극을 중심으로 양쪽에 양단이 각각 상기 게이트 전극과 중첩되어 있는 소스 전극을 포함하는 바닥 트랜지스터,

청구항 2

제 1단에서,

상기 게이트 전극과 상기 드레인 전극이 중첩되는 모양은 I 또는 T 모양인 바닥 트랜지스터,

청구항 3

기판,

상기 기판 위에 형성되어 있는 다수의 게이트선,

상기 기판 위에 형성되어 있으며, 상기 게이트선과 교차하여 다수의 화소를 정의하는 다수의 라이너선,

상기 화소에 각각 형성되어 있으며, 상기 게이트선과 연결되어 있는 게이트 전극,

상기 화소에 각각 상기 게이트 전극의 중앙에 중첩되어 있으며, 상기 라이너선과 연결되어 있는 드레인 전극,

상기 드레인 전극을 중심으로 양쪽에 양단이 상기 게이트 전극과 중첩되어 있는 소스 전극을 포함하는 바닥 트랜지스터 기판,

청구항 4

제 2단에서,

상기 게이트 전극과 상기 드레인 전극이 중첩되는 모양은 I 또는 T 모양인 바닥 트랜지스터 기판,

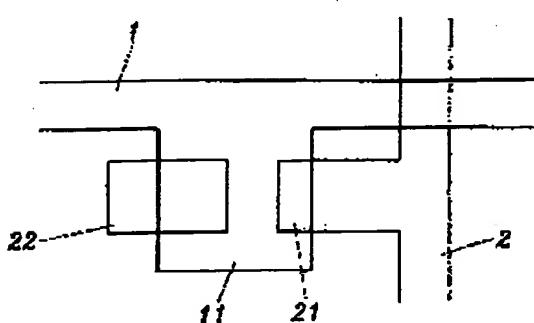
청구항 5

제 2단에서,

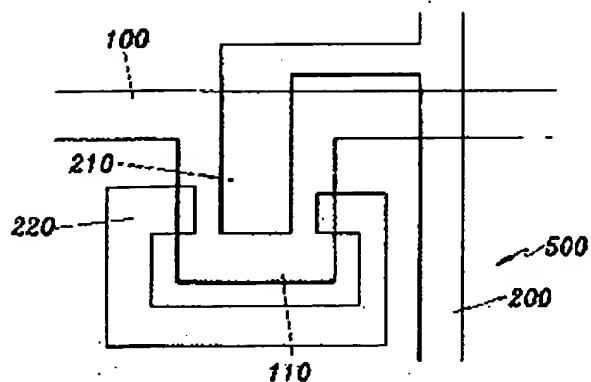
상기 게이트 전극과 상기 소스 전극이 중첩된 면적의 합은 모두 동일한 바닥 트랜지스터 기판,

도면

도면 1



502



503

